



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001184860 A**(43) Date of publication of application: **06.07.01**

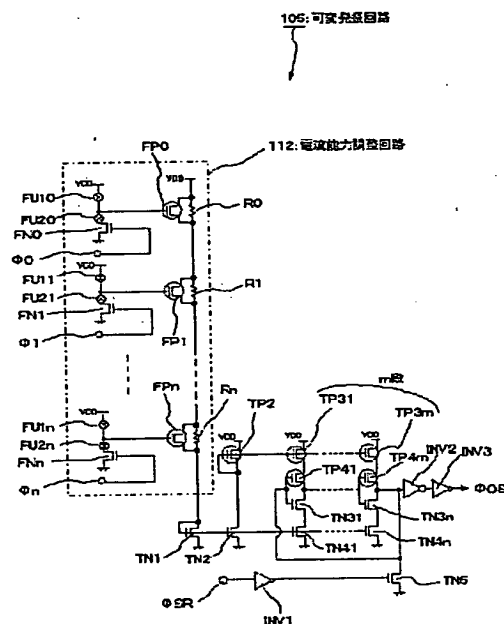
(51) Int. Cl.

G11C 11/403**G11C 11/407****G11C 11/406**(21) Application number: **11365986**(71) Applicant: **NEC IC MICROCOMPUT SYST LTD**(22) Date of filing: **24.12.99**(72) Inventor: **TASHIRO SHINYA****(54) SEMICONDUCTOR STORAGE DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a semiconductor storage device capable of changing a self-refresh term so that the data of a memory cell is reliably held and a low power consumption operation is satisfied, without redesigning and reproducing a device.

SOLUTION: A self-refresh term varying means makes the self-refresh term variable, an external measuring instrument measures the characteristic of this semiconductor storage device on a plurality of conditions in which self-refresh terms are different, the specified self-refresh term of a condition in which the data hold is reliable and low power consumption operation is possible is calculated, and the oscillation frequency of an oscillation circuit for generating the specified self-refresh term is determined by appropriately fusing and cutting off a plurality of fuses of a current capability adjusting circuit in the oscillation circuit.

COPYRIGHT: (C)2001,JPO



(51)Int.Cl. ⁷	識別記号	F I	テーマコード*	(参考)
G11C 11/403		G11C 11/34	363	M 5B024
11/407			362	S
11/406			363	L

審査請求 未請求 請求項の数 8 O L (全 8 頁)

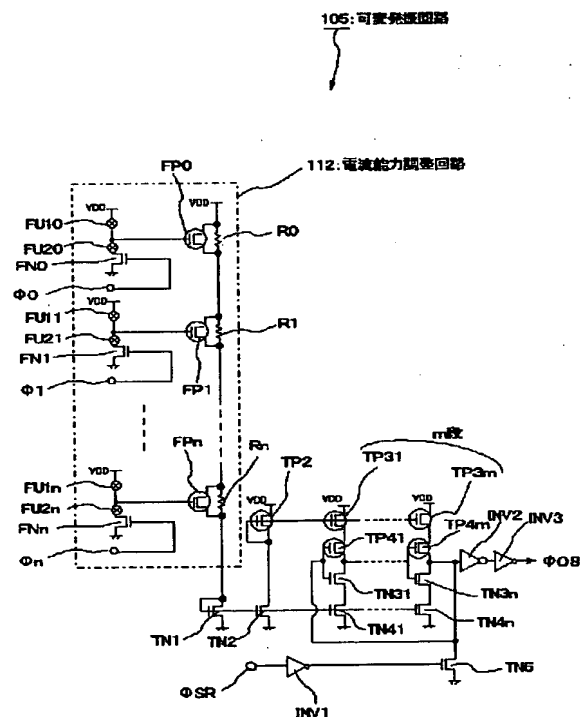
(21)出願番号	特願平11-365986	(71)出願人	000232036 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番5 3
(22)出願日	平成11年12月24日(1999.12.24)	(72)発明者	田代 晋也 神奈川県川崎市中原区小杉町一丁目403番5 3 日本電気アイシーマイコンシステム株式会社内
		(74)代理人	100099195 弁理士 宮越 典明
		Fターム(参考)	5B024 AA01 AA03 BA29 CA11 DA08 DA18

(54)【発明の名称】半導体記憶装置

(57) 【要約】

【課題】 メモリセルのデータ保持を確実かつ低消費電力動作を満たすようにセルフリフレッシュ期間を、デバイスを再設計および再生産することなく変更できる半導体記憶装置を提供する。

【解決手段】 セルフリフレッシュ期間可変手段により、セルフリフレッシュ期間を可変にし、セルフリフレッシュ期間の異なる複数の条件で半導体記憶装置の特性を外部の測定装置により測定し、データ保持が確実かつ低消費電力動作可能な条件の特定のセルフリフレッシュ期間を求め、特定のセルフリフレッシュ期間を生成するための発振回路の発振周期が、前発振回路内の電流能力調整回路の複数のフューズを適宜溶断することにより、確定するように構成する。



【特許請求の範囲】

【請求項1】 セルリフレッシュモードを有する半導体記憶装置であって、セルフリフレッシュ期間可変手段を具備し、該セルフリフレッシュ期間可変手段は、所定の外部アドレス信号を入力し、該所定の外部アドレス信号を基に発振周期制御信号を生成し、該発振周期制御信号により発振回路の発振周期を可変とすることにより、セルフリフレッシュ期間を可変にしたことを特徴とする半導体記憶装置。

【請求項2】 前記発振回路は、前記発振周期制御信号を入力とする電流能力制御回路を有することを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記電流能力制御回路は、前記発振周期制御信号の信号値の組み合わせにより、抵抗値を変えることにより発振回路に供給する電流能力を変え、発振回路の発振周期を可変とすることを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】 前記電流能力制御回路は、複数のフューズを有し、該複数のフューズのうちの一部のフューズを溶断することにより、前記発振周期制御信号の信号値によらず、抵抗値が固定されることを特徴とする請求項3に記載の半導体記憶装置。

【請求項5】 前記電流能力制御回路は、電源端子から直列に複数の抵抗が接続され、前記複数の抵抗にはそれぞれPチャネルトランジスタが並列に接続され、前記それぞれのPチャネルトランジスタのゲートは、電源端子との間に第1のフューズが挿入され、接地端子との間にNチャネルトランジスタと第2のフューズが直列に接続され、

それぞれの前記Nチャネルトランジスタのゲートに、それぞれ異なる発振周期制御信号が接続されたことを特徴とする請求項4に記載の半導体記憶装置。

【請求項6】 前記複数の抵抗はそれぞれ異なる抵抗値に設定されたことを特徴とする請求項5に記載の半導体記憶装置。

【請求項7】 前記セルフリフレッシュ期間可変手段は、テストモード信号出力を付加したタイミングジェネレータ部と、外部アドレスを入力し、テストモード信号を入力とするセルフリフレッシュテストレジスタ部と、前記レジスタ部の出力である発振周期制御信号を入力とする電流能力制御回路を有する発振回路部とを有することを特徴とする請求項1～6のいずれかに記載の半導体記憶装置。

【請求項8】 前記セルフリフレッシュ期間可変手段により、セルフリフレッシュ期間を可変にし、セルフリフレッシュ期間の異なる複数の条件で半導体記憶装置の特性を外部の測定装置により測定し、データ保持が確実かつ低消費電力動作可能な条件の特定のセルフリフレッシュ期間を求め、該特定のセルフリフレッシュ期間を生成するための発振回路の発振周期が、前記発振回路内の電流

能力調整回路の複数のフューズを適宜溶断することにより、確定するように構成されたことを特徴とする請求項1～7のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、セルフリフレッシュ期間を可変に出来るシンクロナスDRAM等の半導体記憶装置に関するものである。

【0002】

【従来の技術】近年、シンクロナスDRAM等の半導体記憶装置にはバッテリー使用のシステムの普及から、低消費電力のデバイスがユーザ側から強く要求され、特に、記憶データ保持期間の低消費電力化が不可欠となってきた。このようなシンクロナスDRAM等の半導体記憶装置は、記憶データ保持の方法としてセルフリフレッシュモードが用意されている。セルフリフレッシュモードは、このモードに入ると、あらかじめ設定されたリフレッシュ期間に基づくパルス信号が、デバイス内部の発振回路とカウンタとによって生成され、自動的にリフレッシュ動作が実行されるものである。

【0003】以下、従来の半導体記憶装置において、シンクロナスDRAMの一例を挙げ、そのセルフリフレッシュ動作について図を参照して説明する。図6は、従来のシンクロナスDRAMのセルフリフレッシュ動作を説明するブロック図である。図7は、従来のシンクロナスDRAMのセルフリフレッシュ用内部発振回路の回路図である。図8は、従来のシンクロナスDRAMのセルフリフレッシュ動作時のタイミングチャートである。

【0004】従来のセルフリフレッシュ（以下SRとも記す）モードを有するシンクロナスDRAMは、図6に示すように、モード設定を制御し、SRフラグ信号ΦFSRを発生するタイミングジェネレータ部201と、外部アドレスΦA0～ΦAnを取り込むアドレスバッファ部202と、SRモード時に制御信号ΦSRを発生するSR制御部203と、制御信号ΦSRを受け動作する発振回路部205と、SRモード時に発振回路部205の出力信号ΦOSを分周し、制御信号ΦSを出力するリフレッシュカウンタ部206と、リフレッシュ動作の制御信号ΦSEを出力するROWアドレス（行アドレス）系制御部207と、セルフリフレッシュモード時に内部アドレスを発生し、外部アドレスから切り替え、そのROWアドレス信号ΦR0～ΦRnを発生するアドレス切替え部204と、ROWアドレスデコーダ208と、メモリセルアレイ部210（センスアンプ209を含む）とを有している。

【0005】また、発振回路部205は、図7に示すように制御信号ΦSRを入力とするNチャネルトランジスタTN5と、発振回路の電流能力を制御する抵抗Rと、TN1、TN2と、PチャネルトランジスタTP1で決定されたゲートレベルを入力し、発振パルスを生成させ

るためのm段のインバータチェーン部(TN31~TN3m、TN41~TN4m、TP31~TP3m、TP41~TP4m)と、その出力を成形し、制御信号ΦOSを出力するインバータINV1で構成されている。

【0006】次に、動作について説明する。SRモードが設定されると、SR制御部203はタイミングジェネレータ部201から出力されたSRフラグ信号ΦFSRを受けることにより、制御信号ΦSRを出力する。その制御信号ΦSRを受けて発振回路部205は、制御信号ΦOSを発振出力し、リフレッシュカウンタ部206は制御信号ΦOSを分周した制御信号ΦSを出力する。

【0007】また、制御信号ΦSRを受けてアドレス切替え部204は、アドレスバッファ部202から入力される外部アドレス信号から内部アドレス信号を生成するようにアドレス切り替えを行ない、ROWアドレス信号ΦR0~ΦRnを出力し、このΦR0~ΦRnはROWアドレスデコーダに入力する。

【0008】さらに、前述の制御信号ΦSは、メモリセルのリフレッシュ動作を制御するROW系制御部207に入力し、これによりROW系制御部207はROW系制御信号ΦSEを出力する。この制御信号ΦSEの出力期間中、ROWアドレスデコーダ208とメモリセルアレイ部210内のセンスアンプ209を介してSR動作が実行される。

【0009】

【発明が解決しようとする課題】しかしながら、上記従来のシンクロナスDRAM等の半導体記憶装置においては、SR動作時における低消費電力化を実現するため、メモリセルのデータ保持時間とそのリフレッシュ期間を決定する発振回路部の発振周期とのバランスを取る必要がある。これは、メモリセルの保持時間の実力に対し発振回路部の発振周期が長ければリフレッシュが間に合わず、メモリセルのデータ保持が保証できなくなり、反対に、発振回路部の発振周期が短ければ消費電力が大きくなり、低消費電力のSR動作が出来なくなるためである。よって、発振回路部の発振周期は、安定したデータ保持と低消費電力化とを両立しうるSR動作間隔となるような周期に設定することが必要不可欠である。

【0010】そして、回路設計時において、このような周期を実現できる適切な回路設計を行っているが、生産時のプロセス条件のばらつきにより、メモリセルのデータ保持時間の劣化や、内部でリフレッシュ期間を決定している発振回路部の発振周期のばらつきが生じる。このため、設計時にはメモリセルのデータ保持を確実に低消費電力動作を満たすようにセルフリフレッシュ期間が設定されていた半導体記憶装置が、確実に動作しない場合が生じ、良品選別の歩留まりの悪化や、再設計および再生産の必要が生じるなどの問題点があった。

【0011】本発明は、上記問題点に鑑みてなされたものであり、生産プロセスのばらつきによる特性の変化に

応じ、メモリセルのデータ保持を確実に低消費電力動作を満たすようにセルフリフレッシュ期間を、デバイスを再設計および再生産することなく変更でき、上記問題点を解決出来る半導体記憶装置を提供することを目的とする。

【0012】

【課題を解決するための手段】すなわち、本発明に係る半導体記憶装置は、以下の特徴を有することにより前記目的を達成できる。

1. セルフリフレッシュモードを有する半導体記憶装置であって、セルフリフレッシュ期間可変手段を具備し、該セルフリフレッシュ期間可変手段は、所定の外部アドレス信号を入力し、該所定の外部アドレス信号を基に発振周期制御信号を生成し、該発振周期制御信号により発振回路の発振周期を可変とすることにより、セルフリフレッシュ期間を可変にしたこと。
2. 前記発振回路は、前記発振周期制御信号を入力とする電流能力制御回路を有すること。
3. 前記電流能力制御回路は、前記発振周期制御信号の信号値の組み合わせにより、抵抗値を変えることにより発振回路に供給する電流能力を変え、発振回路の発振周期を可変とすること。
4. 前記電流能力制御回路は、複数のフューズを有し、該複数のフューズのうちの一部のフューズを溶断することにより、前記発振周期制御信号の信号値によらず、抵抗値が固定されること。
5. 前記電流能力制御回路は、電源端子から直列に複数の抵抗が接続され、前記複数の抵抗にはそれぞれPチャネルトランジスタが並列に接続され、前記それぞれのPチャネルトランジスタのゲートは、電源端子との間に第1のフューズが挿入され、接地端子との間にNチャネルトランジスタと第2のフューズが直列に接続され、それぞれの前記Nチャネルトランジスタのゲートに、それぞれ異なる発振周期制御信号が接続されたこと。
6. 前記複数の抵抗はそれぞれ異なる抵抗値に設定されたことを。
7. 前記セルフリフレッシュ期間可変手段は、テストモード信号出力を付加したタイミングジェネレータ部と、外部アドレスを入力し、テストモード信号を入力とするセルフリフレッシュテストレジスタ部と、前記レジスタ部の出力である発振周期制御信号を入力とする電流能力制御回路を有する発振回路部とを有すること。
8. 前記セルフリフレッシュ期間可変手段により、セルフリフレッシュ期間を可変にし、セルフリフレッシュ期間の異なる複数の条件で半導体記憶装置の特性を外部の測定装置により測定し、データ保持が確実に低消費電力動作可能な条件の特定のセルフリフレッシュ期間を求め、該特定のセルフリフレッシュ期間を生成するための発振回路の発振周期が、前発振回路内の電流能力調整回路の複数のフューズを適宜溶断することにより、確定す

るように構成されたこと。

【0013】

【発明の実施の形態】以下、図1～3を用いて本発明の一実施の形態について詳細に説明する。まず、本実施の形態の構成について図1を用いて説明する。本発明の半導体記憶装置は、前述の従来の回路構成に加えて、セルフリフレッシュ期間可変手段を有しており、このセルフリフレッシュ期間可変手段は、テストモード信号 ΦT 出力を付加したタイミングジェネレータ部101と、外部アドレス $\Phi A0 \sim \Phi An$ を入力し、テストモード信号 ΦT を入力とするSRテストレジスタ部111と、前記レジスタ部の出力である発振周期制御信号 $\Phi 0 \sim \Phi n$ を入力とする電流能力制御回路112を有する発振回路部105とからなる。

【0014】また、図2に示すように、発振回路部105は、動作制御信号 ΦSR を入力とするインバータINV1の出力を入力とするNチャネルトランジスタTN5と、発振回路部105の電流能力を制御する抵抗部分となる電流能力制御回路112と、TN1、TN2と、PチャネルトランジスタTP2で決定されたゲートレベルを入力し、発振パルスを生成させるためのm段のインバータチェーン部(TN31～TN3m、TN41～TN4m、TP31～TP3m、TP41～TP4m)と、その出力を成形し、制御信号 ΦOS を出力するインバータINV2、INV3で構成されている。

【0015】上述の発振回路部105において本実施の形態は、電流能力制御回路112を有することを特徴としており、この電流能力制御回路112は、発振回路の電流能力を制御する抵抗部分となるものであり、この部分の抵抗値を変えると発振周期が抵抗値に比例して変化するものである。この詳細な回路構成は、図2に示す通り、電源端子VDDから直列に抵抗 $R0 \sim Rn$ が接続され、さらに各々の抵抗にはそれぞれPチャネルトランジスタFP0～FPnが並列に接続されているものである。

【0016】また、発振周期制御信号 $\Phi 0 \sim \Phi n$ は、各々NチャネルトランジスタFN0～FNnのゲートに接続している。前記のPチャネルトランジスタFP0のゲート入力には電源端子との間に第1のフューズFU10が挿入され、接地端子との間には、NチャネルトランジスタFN0と第2のフューズFU20が直列に接続されており、同様に、FP1～FPnのゲートに対しても、第1のフューズFU10～FU1n、NチャネルトランジスタFN1～FNnと第2のフューズFU20～FU2nが各々接続されている。

【0017】上記抵抗 $R0 \sim Rn$ はそれぞれ異なる抵抗値に設定されている。また、PチャネルトランジスタFP0～FPnのオン抵抗より十分に大きく設定されているため、各Pチャネルトランジスタはスイッチの役割を果たすので、電源端子とTN1との間の抵抗値はほぼ、

オフ状態のPチャネルトランジスタに並列接続された抵抗値を全ての加算したものとなる。

【0018】(動作) 以下、図1～3を用いて本実施の形態の動作について説明する。まず、セルフリフレッシュテストモード(各種電気特性を測定するモード)に切り替わるとタイミングジェネレータ部101からテストモード信号 ΦT が、図3のタイミング図に示すように“L”から“H”に変化する。このテストモード信号 ΦT が“H”の期間に、SRテストレジスタ部111に外部アドレス信号 $\Phi A0 \sim \Phi An$ の信号値を取り込み、この出力である発振周期制御信号 $\Phi 0 \sim \Phi n$ を発振回路部105に入力する。

【0019】発振回路部105は、発振周期制御信号 $\Phi 0 \sim \Phi n$ の信号値(“H”レベルか“L”レベルか)の組み合わせにより、電流能力を可変にできることにより、発振回路部105の発振周期を可変にすることが出来る。例えば、nが1の場合、発振周期制御信号 $\Phi 0$ 、 $\Phi 1$ の信号値の組み合わせは、下記(1)～(4)に示す4通りがある。

(1) $\Phi 0 = \text{“L”}$ 、 $\Phi 1 = \text{“L”}$

この場合、FN0、FN1は両方ともオフし、FP0、FP1は、両方ともオフ状態になるため、電源端子とTN1との間の抵抗値は $R1 + R2$ となる。

(2) $\Phi 0 = \text{“H”}$ 、 $\Phi 1 = \text{“L”}$

この場合、FN0はオン、FN1はオフし、FP0はオン状態、FP1はオフ状態になるため、電源端子とTN1との間の抵抗値は $R2$ となる。

(3) $\Phi 0 = \text{“L”}$ 、 $\Phi 1 = \text{“H”}$

この場合、FN0はオフ、FN1はオンし、FP0はオフ状態、FP1はオン状態になるため、電源端子とTN1との間の抵抗値は $R1$ となる。

(4) $\Phi 0 = \text{“H”}$ 、 $\Phi 1 = \text{“H”}$

この場合、FN0、FN1は両方ともオンし、FP0、FP1は、両方ともオン状態になるため、電源端子とTN1との間の抵抗値は0(実際にはPチャネルトランジスタのオン抵抗分を考慮した値)となる。なお、 $R1$ と $R2$ の抵抗値を異なった値とすることで、上記(2)と(3)は異なった抵抗値を得ることができる。

【0020】SRモードに切り替わり ΦSR が“H”となると、従来例と同様にタイミングジェネレータ部101より、SRフラグ信号 ΦFSR が“H”に切り替わり、SR制御部103より信号 ΦSR が“H”となり、この ΦSR を受けて発振回路部105は、発振周期制御信号 ΦOS を出力し、リフレッシュカウンタ部106によって分周された信号 ΦS を出力する。

【0021】また、アドレス切替え部104では、内部アドレスを作り外部アドレスから切り替えを行ないROWアドレス信号 $\Phi R0 \sim \Phi Rn$ を発生しROWアドレスデコーダに入力する。信号 ΦS は、メモリセルのリフレッシュ動作の制御を行なうROW系制御部107に入

力され、ROW系制御信号ΦSEを発生し、ROWアドレスデコーダー108とメモリセルアレイ部110のセンスアンプ109を介してSR動作が実行される。

【0022】以上述べたように、本実施の形態では、テストモード時に入力する外部アドレス信号値の組み合わせにより、セルフリフレッシュ期間を外部から変えられる。

【0023】次に、各条件において、それぞれ実際にセルフリフレッシュ動作をさせ、測定装置を使用してSR動作時の動作電流と、特定のメモリセルをセルフリフレッシュする時間間隔を測定し、セルフリフレッシュ時の動作電流の規格値、および、メモリセルのデータ保持時間の規格値を満たす条件の状態を見つける。この規格値を満たす条件の状態を、発振周期制御信号Φ0～Φnによらずに固定すべく、フューズFU10～FU1n、FU20～FU2nを適宜溶断する。これにより、SR動作時のセルフリフレッシュ時の動作電流の規格値、および、メモリセルのデータ保持時間の規格値を満たす半導体記憶装置が得られる。

【0024】(実施例) 前述のnが1の場合の実施例を挙げ、以下説明する。入力する外部アドレスA0、A1を上記発振周期制御信号Φ0、Φ1の4通りの組み合わせに対応した組み合わせで入力した例を説明する。この場合の発振回路部105aを図4に示す。

【0025】外部アドレスA0、A1の信号値の組み合わせは以下の通りである。

(1) A0 = “L”、A1 = “L” (Φ0 = “H”、Φ1 = “L”、R0 + R1)

(2) A0 = “H”、A1 = “L” (Φ0 = “H”、Φ1 = “L”、R1)

(3) A0 = “L”、A1 = “H” (Φ0 = “L”、Φ1 = “H”、R0)

(4) A0 = “H”、A1 = “H” (Φ0 = “H”、Φ1 = “H”、抵抗なし)

【0026】なお、抵抗値はR1 < R2と設定されているものとする。上記(1)～(4)各場合において、それぞれ実際にセルフリフレッシュ動作をさせ、測定装置を使用してSR動作時の動作電流と、特定のメモリセルをセルフリフレッシュする時間間隔を測定した。

【0027】これにより、図5に示すような結果が得られた。図5は、発振周期とSR動作時の動作電流、および、発振周期と特定のメモリセルをセルフリフレッシュする時間間隔を測定した結果を説明する図である。図5において、(3)の場合がセルフリフレッシュ時の動作電流の規格値、および、メモリセルのデータ保持時間の規格値を満たすことがわかる。次に、(3)の状態を固定させるため、レーザートリマ等を用い、フューズFU10とフューズFU22を溶断する。これにより、SR動作時のセルフリフレッシュ時の動作電流の規格値、および、メモリセルのデータ保持時間の規格値を満たす半

導体記憶装置が得られた。

【0028】

【発明の効果】以上、詳記したように、本発明は、セルフリフレッシュモードを有する半導体記憶装置であって、セルフリフレッシュ期間可変手段を具備し、セルフリフレッシュ期間可変手段は、所定の外部アドレス信号を入力し、所定の外部アドレス信号を基に発振周期制御信号を生成し、発振周期制御信号により発振回路の発振周期を可変とすることにより、セルフリフレッシュ期間を可変にしたことにより、テストモード時に入力する外部アドレス信号値の組み合わせでもって、セルフリフレッシュ期間を外部から変えることができる。これにより、セルフリフレッシュ動作時のセルフリフレッシュ時の動作電流の規格値、および、メモリセルのデータ保持時間の規格値を満たす発振回路部の発振周期の値を外部の測定装置により得ることができるものである。さらに、複数のフューズ手段を有し、この発振回路部の発振周期の値を実現しうるようフューズを適宜溶断することにより、セルフリフレッシュ動作時のセルフリフレッシュ時の動作電流の規格値、および、メモリセルのデータ保持時間の規格値を満たす半導体記憶装置を得ることができる。これらの結果、プロセスのばらつきに強い半導体記憶装置が得られ、迅速なサンプル供給がユーザーに対してできる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体記憶装置のセルフリフレッシュ動作を説明するブロック図である。

【図2】本発明の一実施の形態の発振回路部の回路図である。

【図3】本発明の一実施の形態の半導体記憶装置のセルフリフレッシュ動作を説明する波形図である。

【図4】本発明の一実施例の発振回路部の回路図である。

【図5】発振周期とSR動作時の動作電流、および、発振周期と特定のメモリセルをセルフリフレッシュする時間間隔を測定した結果を説明する図である。

【図6】従来の半導体記憶装置のセルフリフレッシュ動作を説明するブロック図である。

【図7】従来の発振回路部の回路図である。

【図8】従来の半導体記憶装置のセルフリフレッシュ動作を説明する波形図である。

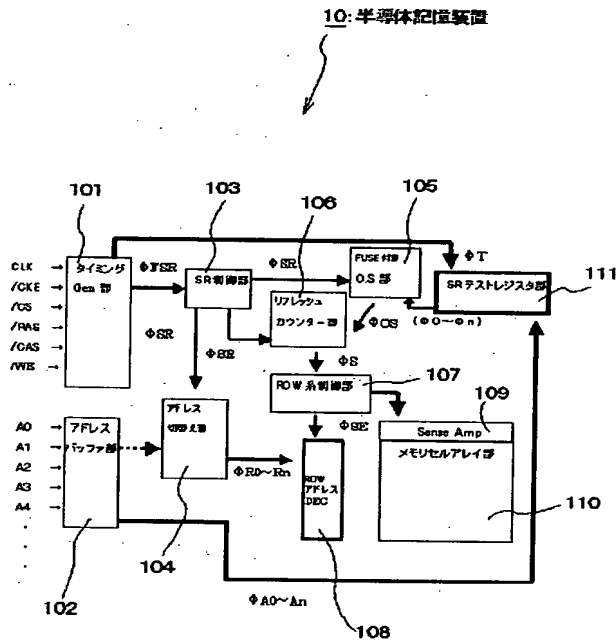
【符号の説明】

- 101 タイミングジェネレータ部
- 102 アドレスバッファ部
- 103 SR制御部
- 104 アドレス切替え部
- 105、105a 発振回路部
- 106 リフレッシュカウンタ部
- 107 ROW系制御部
- 108 ROWアドレスデコーダー

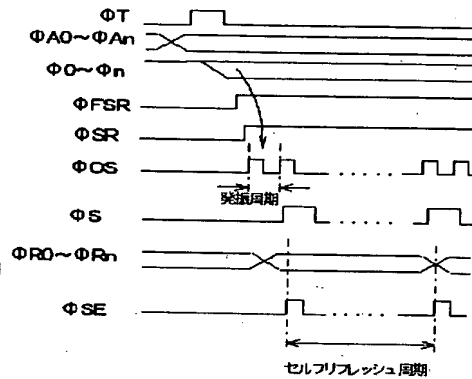
109 センスアンプ
 110 メモリセルアレイ部
 111 SRテストレジスタ部
 112 電流能力制御回路
 FN0~FNn, TN31~TN3m, TN5 Nチャネルトランジスタ
 FP0~FPn, TP1, TP2 Pチャネルトランジスタ

FU10~FU1n 第1のフューズ
 FU20~FU2n 第2のフューズ
 INV1, INV2, INV3 インバータ
 R0~Rn 抵抗
 VDD 電源端子
 $\Phi 0 \sim \Phi n$, $\Phi A0 \sim \Phi An$, ΦFSR , ΦOS 信号
 $\Phi R0 \sim \Phi Rn$, ΦSE , ΦSR , ΦS , ΦT 信号

【図1】

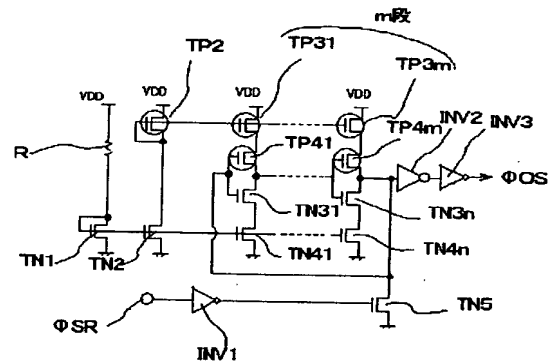


【図3】

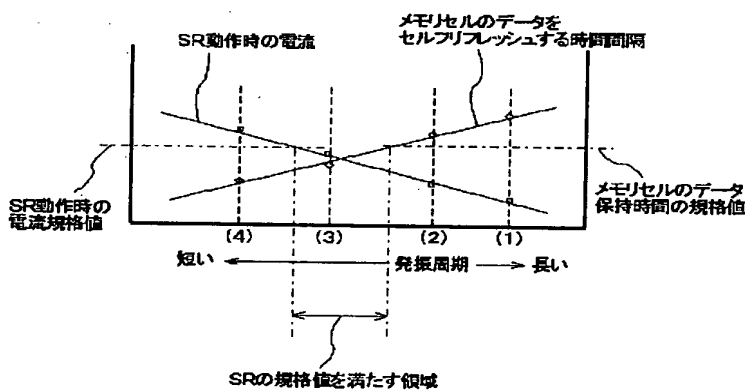


【図7】

205: 発振回路

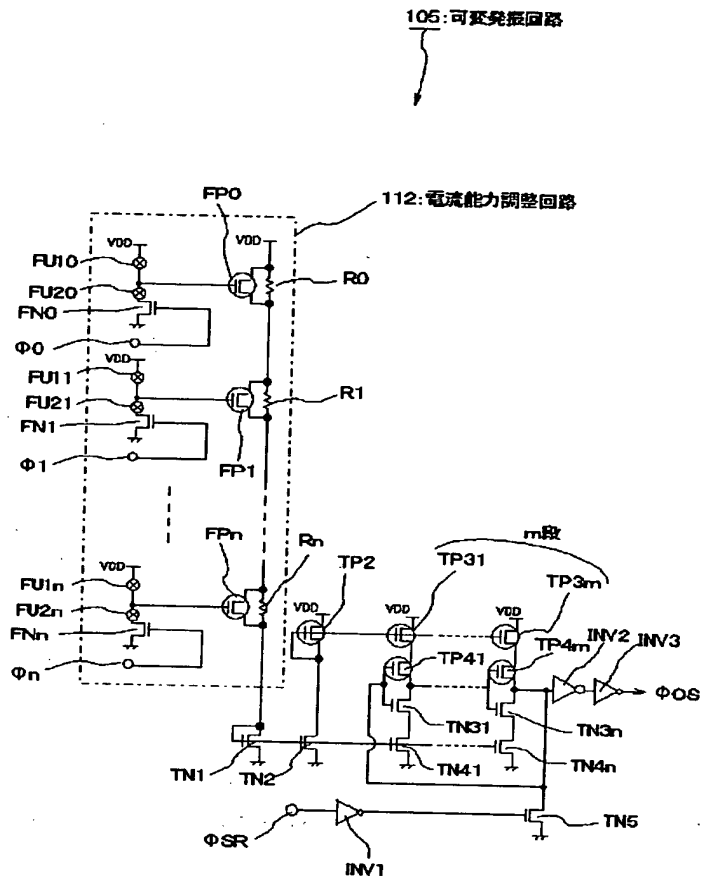


【図5】

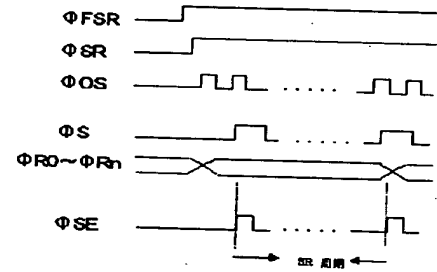


発振周期とSR動作時の動作電流、および、発振周期と特定のメモリセルをセルフリフレッシュする時間間隔を測定した結果

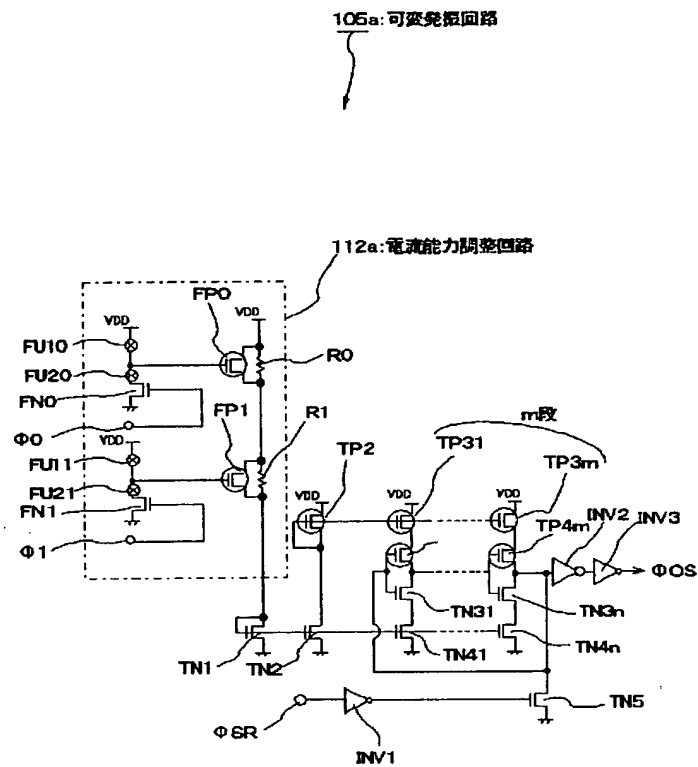
【図2】



【図8】



【図4】



【図6】

20: 半導体記憶装置(従来)

